

**BASE-RESISTANCE CONTROL THYRISTOR STRUCTURE HAVING HIGH-DENSITY LAYOUT FOR INCREASED CURRENT CAPACITY**

Patent number: JP9116134  
 Publication date: 1997-05-02  
 Inventor: AJIT JANARDHANAN S  
 Applicant: INTERNATL RECTIFIER CORP  
 Classification:  
 - International: H01L29/74  
 - european:  
 Application number: JP19960254683 19960926  
 Priority number(s):

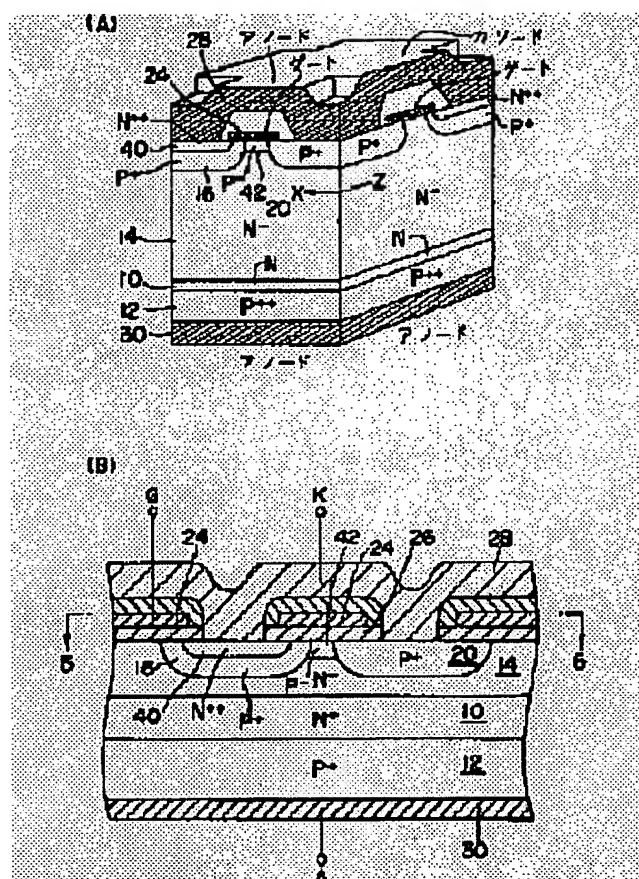
Also published as:

US5793066 (A1)  
 GB2305777 (A)  
 FR2739224 (A1)  
 DE19638381 (A1)

**Abstract of JP9116134**

**PROBLEM TO BE SOLVED:** To provide a device, which has high maximum control current-density, a low latch current and excellent process controllability and is manufactured easily.

**SOLUTION:** The resistance of the base region of an N-P-N transistor having a MOS channel having high density and thyristor structure is deformed in the thyristor structure. Higher MOS-channel density is attained by directly connecting an N<sup>++</sup> emitter and a P<sup>++</sup> cell to a cathode electrode 28. When an N<sup>++</sup> cell and the P<sup>++</sup> cell are connected to a certain constant region under a MOS gate by a P<sup>-</sup> region 42 and positive bias is applied to the MOS gate, higher base resistance is obtained, thus easily latching a thyristor. MOS-gate control base resistance applied between the cells has no effect on the latch-up capacity of a P base cell, and a smaller dimensional design for a high maximum control current is permitted. It is preferable that the device is manufactured by a cell-shaped layout having check board structure.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(11)特許出願公開番号

特開平9-116134

(43)公開日 平成9年(1997)5月2日

ND

審査請求 未請求 請求項の数28 OL (全 11 頁)

(71)出願人 591074389

インターナショナル・レクチファイヤー・  
コーポレーション

INTERNATIONAL RECTIFIER CORPORATION

アメリカ合衆国90245カリフォルニア州  
エル・セグンド、カンザス・ストリート  
233番

(72)発明者 ジョナルドハナン・エス・アジット  
アメリカ合衆国90245カリフォルニア州サ  
ニーベイル、ノース・メアリー・アベニュー・  
ナンバー112-199、415番

(74)代理人 弁理士 青山 葆 (外2名)

(22)出願日 平成8年(1996)9月26日

(31)優先權主張番号 08/533768

(32)優先日 1995年9月26日

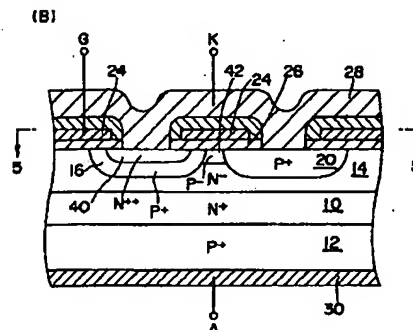
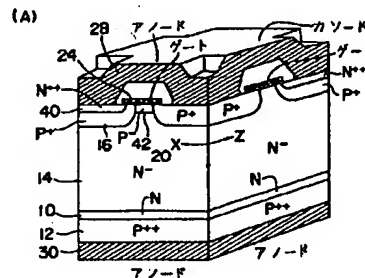
(33)優先権主張国 米国 (US)

(54)【発明の名称】 増加した電流容量のための高密度レイアウトを備えたベース抵抗制御サイリスタ構造

(57) 【要約】

【課題】 高い最大制御電流密度、低いラッチ電流、良好なプロセス制御性を有し、製造が容易なデバイスを提供する。

【解決手段】 高密度のMOSチャネルを有し、サイリスタ構造のNPNトランジスタのベース領域の抵抗を変形したものである。より高いMOSチャネル密度は、N<sup>++</sup>エミッタおよびP<sup>+</sup>セルをカソード電極に直接接続することによって達成される。N<sup>++</sup>セルおよびP<sup>+</sup>セルは、P<sup>+</sup>領域によりMOSゲートの下のある一定の領域に接続され、正バイアスがMOSゲートに印加された場合に、より高いベース抵抗となり、これによりサイリスタのラッチングを容易にする。セル間に加えられたMOSゲート制御ベース抵抗は、Pベースセルのラッチアップ能力に影響することなく、高い最大制御電流のためのより小さな寸法設計を許容する。本デバイスは、チェッカーボード構造のセル状レイアウトであることが好ましい。



## 【特許請求の範囲】

【請求項1】 シリコンチップを含む絶縁ゲートサイリスタであって、上記シリコンチップが、  
P<sup>+</sup>濃度のボトム層と、

上記ボトム層上に配置されたN濃度層と、

上記N<sup>+</sup>層上に配置されたN<sup>-</sup>層と、

上記N<sup>-</sup>層の表面区域上に対称的に分配され、間隔をおいた複数のN<sup>+</sup>セルとを有し、該N<sup>+</sup>セルが、夫々のチャンネルを形成するためにP型のセル状ベース領域内に、その端部から間隔をおいて配置されたN<sup>+</sup>エミッタ領域を夫々含み、

更に、上記N<sup>-</sup>表面区域上に対称的に分配され、間隔をおいて配置された複数のP<sup>+</sup>セルと、隣接するN<sup>+</sup>セルおよびP<sup>+</sup>セルの間に延びる複数のP<sup>-</sup>拡散層とを有することを特徴とする絶縁ゲートサイリスタ。

【請求項2】 上記N<sup>+</sup>セルが、上記P<sup>+</sup>セルとともにチェッカーボード状に分散され、これにより上記N<sup>+</sup>セルの各々が、上記P<sup>+</sup>セル部分により囲まれ、そこに上記P<sup>-</sup>拡散層部分により接続されることを特徴とする請求項1に記載の絶縁ゲートサイリスタ。

【請求項3】 更に、上記N<sup>+</sup>セルのチャンネル上に、かつ上記隣接したN<sup>+</sup>セルおよびP<sup>+</sup>セルの間に配置されたゲート手段を含むことを特徴とする請求項2に記載の絶縁ゲートサイリスタ。

【請求項4】 更に、上記P<sup>+</sup>セルおよび上記N<sup>+</sup>エミッタ領域に接続されたカソードコンタクトを含むことを特徴とする請求項3に記載の絶縁ゲートサイリスタ。

【請求項5】 更に、上記ボトムP<sup>+</sup>層に接続されたアノードコンタクトを含むことを特徴とする請求項4に記載の絶縁ゲートサイリスタ。

【請求項6】 上記カソードコンタクトが、上記P<sup>+</sup>セルおよび上記N<sup>+</sup>エミッタ領域の隣接した部分の第1のグループに接続され、更に、上記P<sup>+</sup>セルおよび上記N<sup>+</sup>エミッタ領域の隣接した部分の第2のグループに接続されたアノードコンタクトを含み、上記アノードコンタクトが上記カソードコンタクトに対して横並びの関係で上記チップ上に配置され、隣接したP<sup>+</sup>セルおよびN<sup>+</sup>エミッタ領域の第1および第2のグループの夫々が、分割した夫々の上記ゲート手段部分を有し、隣接したP<sup>+</sup>セルおよびN<sup>+</sup>エミッタ領域の上記第1のグループの上記ゲート手段を、隣接したP<sup>+</sup>セルおよびN<sup>+</sup>エミッタ領域の上記第2のグループの上記ゲート手段と逆位相の関係で作動させることを特徴とする請求項4に記載の絶縁ゲートサイリスタ。

【請求項7】 更に、上記チップの外方周辺に配置された複数の隣接したP<sup>+</sup>セルを含むことを特徴とする請求項2に記載の絶縁ゲートサイリスタ。

【請求項8】 シリコンチップを含む絶縁ゲートサイリスタであって、上記シリコンチップが、

P<sup>+</sup>濃度のボトム層と、

上記ボトム層上に配置されたN濃度層と、

上記N<sup>+</sup>層上に配置されたN<sup>-</sup>層と、

上記N<sup>-</sup>層の表面区域上に対称的に分配され、間隔をおいた複数のN<sup>+</sup>セルとを有し、該N<sup>+</sup>セルが、デバイスの選択された区域に、夫々のチャンネルを形成するためにP型のセル状ベース領域内に、その端部から間隔をおいて配置されたN<sup>+</sup>エミッタ領域を夫々含み、

更に、上記N<sup>-</sup>表面区域上に対称的に分配され、間隔をおいて配置された複数のP<sup>+</sup>セルと、隣接するN<sup>+</sup>セルおよびP<sup>+</sup>セルの間に延びる複数のP<sup>-</sup>拡散層とを有することを特徴とする絶縁ゲートサイリスタ。

【請求項9】 上記N<sup>+</sup>セルが、上記P<sup>+</sup>セルとともにチェッカーボード状に分散され、これにより上記N<sup>+</sup>セルの各々が、上記P<sup>+</sup>セル部分により囲まれ、そこに上記P<sup>-</sup>拡散層部分により接続されることを特徴とする請求項8に記載の絶縁ゲートサイリスタ。

【請求項10】 更に、上記N<sup>+</sup>セルのチャンネル上に、かつ上記隣接したN<sup>+</sup>セルおよびP<sup>+</sup>セルの間に配置されたゲート手段を含むことを特徴とする請求項9に記載の絶縁ゲートサイリスタ。

【請求項11】 更に、上記P<sup>+</sup>セルおよび上記N<sup>+</sup>エミッタ領域に接続されたカソードコンタクトを含むことを特徴とする請求項10に記載の絶縁ゲートサイリスタ。

【請求項12】 更に、上記ボトムP<sup>+</sup>層に接続されたアノードコンタクトを含むことを特徴とする請求項11に記載の絶縁ゲートサイリスタ。

【請求項13】 上記カソードコンタクトが、上記P<sup>+</sup>セルおよび上記N<sup>+</sup>エミッタ領域の隣接した部分の第1のグループに接続され、更に、上記P<sup>+</sup>セルおよび上記N<sup>+</sup>エミッタ領域の隣接した部分の第2のグループに接続されたアノードコンタクトを含み、上記アノードコンタクトが上記カソードコンタクトに対して横並びの関係で上記チップ上に配置され、隣接したP<sup>+</sup>セルおよびN<sup>+</sup>エミッタ領域の第1および第2のグループの夫々が、分割した夫々の上記ゲート手段部分を有し、隣接したP<sup>+</sup>セルおよびN<sup>+</sup>エミッタ領域の上記第1のグループの上記ゲート手段を、隣接したP<sup>+</sup>セルおよびN<sup>+</sup>エミッタ領域の上記第2のグループの上記ゲート手段と逆位相の関係で作動させることを特徴とする請求項11に記載の絶縁ゲートサイリスタ。

【請求項14】 更に、上記チップの外方周辺に配置された複数の隣接したP<sup>+</sup>セルを含むことを特徴とする請求項9に記載の絶縁ゲートサイリスタ。

【請求項15】 シリコンチップを含む絶縁ゲートサイリスタであって、上記シリコンチップが、  
P<sup>+</sup>濃度のボトム層と、

上記ボトム層上に配置されたN濃度層と、

上記N<sup>+</sup>層上に配置されたN<sup>-</sup>層と、

上記N<sup>-</sup>層の表面区域上に対称的に分配され、間隔をおいた複数のサイリスタを有し、該サイリスタセルが、P型のセル状ベース領域内に、その端部から間隔をおいて配置されたN<sup>++</sup>エミッタ領域を夫々含み、更に、上記サイリスタセルが、1の端部でコンタクトプラグによりP型ベースに短絡し、夫々のチャンネルを形成するためにP型ベースの端部から間隔をおいて配置されたN<sup>++</sup>ソース領域を含み、

更に、上記N<sup>-</sup>層の表面区域上に対称的に分配され、間隔をおいた複数のP<sup>+</sup>セルとを有することを特徴とする絶縁ゲートサイリスタ。

【請求項16】 上記サイリスタセルが、上記P<sup>+</sup>セルとともにチェッカーボード状に分散され、これにより上記サイリスタセルの各々が、上記P<sup>+</sup>セル部分により囲まれることを特徴とする請求項15に記載の絶縁ゲートサイリスタ。

【請求項17】 更に、上記サイリスタセルのチャンネル上に、かつ上記隣接したサイリスタセルおよびP<sup>+</sup>セルの間に配置されたゲート手段を含むことを特徴とする請求項16に記載の絶縁ゲートサイリスタ。

【請求項18】 更に、上記P<sup>+</sup>セルおよび上記N<sup>++</sup>エミッタ領域に接続されたカソードコンタクトを含むことを特徴とする請求項17に記載の絶縁ゲートサイリスタ。

【請求項19】 更に、上記ボトムP<sup>++</sup>層に接続されたアノードコンタクトを含むことを特徴とする請求項18に記載の絶縁ゲートサイリスタ。

【請求項20】 上記カソードコンタクトが、上記P<sup>+</sup>セルおよび上記N<sup>++</sup>エミッタ領域の隣接した部分の第1のグループに接続され、更に、上記P<sup>+</sup>セルおよび上記N<sup>++</sup>エミッタ領域の隣接した部分の第2のグループに接続されたアノードコンタクトを含み、上記アノードコンタクトが上記カソードコンタクトに対して横並びの関係で上記チップ上に配置され、隣接したP<sup>+</sup>セルおよびN<sup>++</sup>エミッタ領域の第1および第2のグループの夫々が、分割した夫々の上記ゲート手段部分を有し、隣接したP<sup>+</sup>セルおよびN<sup>++</sup>エミッタ領域の上記第1のグループの上記ゲート手段を、隣接したP<sup>+</sup>セルおよびN<sup>++</sup>エミッタ領域の上記第2のグループの上記ゲート手段と逆位相の関係で作動させることを特徴とする請求項18に記載の絶縁ゲートサイリスタ。

【請求項21】 更に、上記チップの外方周辺に配置された複数の隣接したP<sup>+</sup>セルを含むことを特徴とする請求項16に記載の絶縁ゲートサイリスタ。

【請求項22】 シリコンチップを含む絶縁ゲートサイリスタであって、上記シリコンチップが、P<sup>+</sup>濃度のボトム層と、上記ボトム層上に配置されたN<sup>-</sup>濃度層と、上記N<sup>-</sup>層上に配置されたN<sup>-</sup>層と、

上記N<sup>-</sup>層の表面区域上に対称的に分配され、間隔をおいた複数のサイリスタとを有し、該サイリスタセルが、P型のセル状ベース領域内に含まれ、その端部から間隔をおいて配置されたN<sup>++</sup>エミッタ領域を夫々含み、更に、上記N<sup>-</sup>層の表面区域上に対称的に分配され、間隔をおいた複数のP<sup>+</sup>セルとを有し、該P<sup>+</sup>セルが、夫々のチャンネルを形成するためにP型ベースの端部から間隔をおいて配置されたN<sup>++</sup>ソース領域を含み、更に、上記N<sup>++</sup>ソース領域が、浮遊電位の金属ストラップにより、上記P型のベース領域に接続されることを特徴とする絶縁ゲートサイリスタ。

【請求項23】 上記サイリスタセルが、上記P<sup>+</sup>セルとともにチェッカーボード状に分散され、これにより上記サイリスタセルの各々が上記P<sup>+</sup>セル部分により囲まれることを特徴とする請求項22に記載の絶縁ゲートサイリスタ。

【請求項24】 更に、上記N<sup>++</sup>セルのチャンネル上に、かつ上記隣接したN<sup>++</sup>セルおよびP<sup>+</sup>セルの間に配置されたゲート手段を含むことを特徴とする請求項23に記載の絶縁ゲートサイリスタ。

【請求項25】 更に、上記P<sup>+</sup>セルおよび上記N<sup>++</sup>エミッタ領域に接続されたカソードコンタクトを含むことを特徴とする請求項24に記載の絶縁ゲートサイリスタ。

【請求項26】 更に、上記ボトムP<sup>++</sup>層に接続されたアノードコンタクトを含むことを特徴とする請求項25に記載の絶縁ゲートサイリスタ。

【請求項27】 上記カソードコンタクトが、上記P<sup>+</sup>セルおよび上記N<sup>++</sup>エミッタ領域の隣接した部分の第1のグループに接続され、更に、上記P<sup>+</sup>セルおよび上記N<sup>++</sup>エミッタ領域の隣接した部分の第2のグループに接続されたアノードコンタクトを含み、上記アノードコンタクトが上記カソードコンタクトに対して横並びの関係で上記チップ上に配置され、隣接したP<sup>+</sup>セルおよびN<sup>++</sup>エミッタ領域の第1および第2のグループの夫々が、分割した夫々の上記ゲート手段部分を有し、隣接したP<sup>+</sup>セルおよびN<sup>++</sup>エミッタ領域の上記第1のグループの上記ゲート手段を、隣接したP<sup>+</sup>セルおよびN<sup>++</sup>エミッタ領域の上記第2のグループの上記ゲート手段と逆位相の関係で作動させることを特徴とする請求項18に記載の絶縁ゲートサイリスタ。

【請求項28】 更に、上記チップの外方周辺に配置された複数の隣接したP<sup>+</sup>セルを含むことを特徴とする請求項23に記載の絶縁ゲートサイリスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁ゲートサイリスタに関し、特に、増加された電流容量のための高密度レイアウトを備えたベース抵抗制御絶縁ゲートサイリスタに関する。

## 【0002】

【従来の技術】絶縁されたゲートサイリスタは、高電圧電力スイッチング用として大変興味深い。一般に、絶縁ゲートサイリスタの動作原理は、サイリスタ領域をオン状態電流が流れ、それがサイリスタ構造に集積されたMOS構造のゲートに与えられる信号によりオフにできることによる。この概念は、低い順方向電圧降下および制御の容易性といった特長を有する。例えば、本機能を達成するデバイス構造は、V. A. K. テンプルにより述べられた「MOS制御サイリスタ(MCT)」(IEEEエレクトロニクスデバイスミーティング(IEDM)テクニカルダイジェスト 282~285頁、サンフランシスコ、1984年12月)によるMOS制御サイリスタ(MCT)、およびM. ナンダクマールにより述べられた、「ベース抵抗制御サイリスタ(BRT):新しいMOSゲートパワーサイリスタ」(ISPSD予行集、138~141頁、1991年および米国特許5,381,023号)に述べられたベース抵抗サイリスタ(BRT)である。

## 【0003】

【発明が解決しようとする課題】しかし、MCTおよびBRTの双方においては、PチャンネルMOSFETはサイリスタ電流を接地されたP領域にそらせるために用いられ、これによりサイリスタがターンオフする。このため、MCTはNエミッタ領域に集積されたターンオフPチャンネルMOSFETを備えた3つの拡散構造を有し、このことはデバイスの製作を困難にしている。一方、BRTは2つの拡散構造を有し、ターンオフPチャンネルMOSFETは、Nベース領域内に集積されている。また、MCTおよびBRTデバイスの最大制御電流は、主としてターンオフMOSFETチャンネルの抵抗により限定される。高い最大制御電流密度を得るためには、ターンオフPチャンネルの密度の増加が望まれる。このことは、全セル面積に対するNエミッタ面積の割合を減少させることにより達成できる。従来技術のBRTでは、以下の式で与えられるように、ラッチング電流密度( $J_{latch}$ )は、Nエミッタ( $L_{em}$ )の長さに依存する。

## 【数1】

$$J_{latch} \sim 2 \times V_{be} / \alpha_{pnp} P_{sh} \dots L_{em}^2$$
 ラッチさせるためのサイリスタ構造では、ラッチ電流密度が、その構造により供給できるNPNトランジスタのベース駆動電流より、低くあるべきである。Pベース中の電荷、およびそれ故に上記Pベース(Psh, pbase)のシート抵抗は、ブレークダウン電圧により限定され、シート抵抗は一定の値より増加することができない。それ故に、低いラッチ電流密度を有するためには、エミッタの長さを大きくしなければならない。このことは、全セル面積に対するNエミッタ面積の割合を増加させ、MOSチャンネル密度の割合を減少させること

となり、最大制御電流が減少することにつながる。このように、最大制御電流を犠牲にすることによって、初めて、低いラッチ電流のBRT構造が得られるが、これにより、BRT構造の最大制御電流値が制限されることとなる。従って、本発明は(1)高い最大制御電流密度、(2)低いラッチ電流、(3)良好なプロセス制御性を備えた製造の容易なデバイスを提供することを目的とする。

## 【0004】

【課題を解決するための手段】本発明は、絶縁ゲートサイリスタにより前述の目的を、特に、BRTの変形により達成し、それは高密度MOSチャンネルを容易にする構造であり、その結果、高制御電流能力を有することとなる。特に、本発明は、チップの表面領域上にチェッカーボード形状に分散させた複数の間隔を置いたN<sup>++</sup>セルおよび間隔を置いたP<sup>+</sup>セルを有するシリコンチップから形成され、それにより、各N<sup>++</sup>セルはP<sup>+</sup>セルにより囲まれる。各々のP<sup>+</sup>拡散領域は隣接したN<sup>++</sup>セルおよびP<sup>+</sup>セルの間に延びて接続する。上記N<sup>++</sup>セルは、それぞれP型のセル状のベース領域の端部から間隔を置いたN<sup>++</sup>エミッタ領域をそれぞれ含み、それぞれチャンネルを形成する。多結晶シリコンゲートは、N<sup>++</sup>セルのチャンネル上および隣接したN<sup>++</sup>セルとP<sup>+</sup>セルの間に配置される。カソードコンタクトは、P<sup>+</sup>領域およびN<sup>++</sup>エミッタ領域に接続される(Pベース領域には接続されない)。アノードコンタクトは、底部P<sup>++</sup>層に接続される。Pベース領域は、高抵抗P<sup>+</sup>拡散層のみを通してカソードコンタクトに接続される。これにより、N<sup>++</sup>エミッタの長さの増加無しに、低いラッチ電流密度を得ることができる。本構造におけるラッチ電流は以下の式で与えられる。

$$\text{【数2】 } J_{latch} \sim V_{be} / \alpha_{pnp} L_{em} Z_{em} P_{sh} \dots (L_{em} / Z_{em})$$

このように、本構造では、低いラッチ電流および高い最大制御電流を同時に得ることが可能である。

【0005】代わりに、本発明の横型伝導の具体例では、カソードコンタクトは、P<sup>+</sup>領域およびN<sup>++</sup>エミッタ領域に隣接した第1のグループに接続され、アノードコンタクトは、P<sup>+</sup>領域およびN<sup>++</sup>エミッタ領域に隣接した第2のグループに接続される。該アノードコンタクトは、カソードコンタクトに対して横方向にチップ上に配置される。P<sup>+</sup>領域およびN<sup>++</sup>エミッタ領域に隣接した第1および第2のグループはそれぞれ分離したゲートを有し、P<sup>+</sup>領域およびN<sup>++</sup>エミッタ領域の第1のグループのゲートは隣接したP<sup>+</sup>領域およびN<sup>++</sup>エミッタ領域の第2のグループのゲートと逆位相の関係で作動する。ターンオフ中に電流が溜まることを防止するために、複数の隣接したP<sup>+</sup>セルが、チップの外方周囲に配置されることが好ましい。本発明は、上記構造により、従来のBRTと異なった高いMOSチャンネル密度を有す

る。このことは、本発明のデバイスのPベース領域が、P<sup>-</sup>領域のみを通してカソード電極に接続されているためであり、その抵抗は上記ゲート電圧により変え得る。N<sup>+</sup>セルおよびP<sup>+</sup>セルをつなぐP<sup>-</sup>領域は、ゲートに正バイアスが印加された場合はより高いベース抵抗となり、それ故にサイリスタのラッチングを容易にする。ゲートに負バイアスが印加された場合は、P<sup>-</sup>領域は、低抵抗ターンオフ電流パスを提供する。セル間の加えられたMOSゲート制御ベース抵抗は、N<sup>+</sup>セルがラッチアップ能力に影響することなく、より小さな寸法で設計されることができ。

#### 【0006】

【発明の実施の形態】図1に、従来技術のBRTデバイス構造について示す。BRTは1層のサイリスタ領域2からなり、それに隣接したPチャネルMOSFET4を備える。特に、図1に示されたように、BRTはシリコンウェハー上に形成され、N層10、その上のP<sup>+</sup>層12、さらにその上のN<sup>-</sup>エピタキシャル層14を含む。Pベース領域16は、N<sup>-</sup>エピタキシャル層14内に拡散され、環状のN<sup>+</sup>領域18およびN<sup>+</sup>領域を含まないP<sup>+</sup>領域20を備えて提供される。BRTは、4層PNPNデバイスであり、絶縁ゲートバイポーラトランジスタ(IGBT)に似ている。IGBTのようにBRTは、典型的には2度の拡散MOS(DMOS)プロセスにより製造され、図2に示したように、セル状の形状で提供される。しかし、IGBTとは異なり、BRTの上部表面のP領域の半分のみがN<sup>+</sup>領域を含む。BRTは、またN<sup>+</sup>領域18を含むPベース領域16がより少なくドーピングされている点においてIGBTと異なり、それによりベース領域の抵抗が、BRTより約1桁の大きさ高くなる(それ故にベース抵抗制御サイリスタと呼ばれる)。以下で説明するように、これはサイリスタのNPNTランジスタの利得を増加させ、ラッチアップさせる(通常、IGBTでは起こらない)。引き続き図1を参照して、N<sup>+</sup>領域は、Pベース16の端部より横方向に放射状に内部に間隔を置いて配置され、Nチャネル22を形成する。多結晶層24は、チャネル領域22およびPベース領域16とPベース領域20の間のシリコンウェハーの表面上に延びるN<sup>-</sup>エピタキシャル層14の部分23の上を覆う。多結晶シリコン層24は、ゲート酸化膜の薄膜層26により、シリコンウェハーの表面から分離される。上部金属層28は、各N<sup>+</sup>領域18、Pベース領域16およびP<sup>+</sup>領域20を共通のカソードノードKに接続する。多結晶シリコンゲート層24は、デバイスの表面上に延び、各セルで開口部を有する(層およびボディ拡散およびコンタクト)。これによりゲートノードG1に接続された共通電極が形成される。連続した金属層30はデバイスの底部表面上に配置され、底部アノード電極Aを形成する。

【0007】再度、図2の上面図を参照して、P領域1

6のセル(本セルはN<sup>+</sup>領域18を備える)およびP<sup>+</sup>領域20のセル(本セルはN<sup>+</sup>領域18を備えない)はそれぞれ矩形トポロジで提供され、交互にチェッカーボード状に配置されていることがわかる。図1では矩形構造であるけれども、BRTは、例えば米国特許5,381,025号のようによく知られた他の多角形構造を有してもかまわない。

【0008】次に、図3は、本BRTデバイスの等価回路を示す。BRTの各セルは、NチャネルMOSFET32、PNPトランジスタ34、NPNTランジスタ36およびレジスタRb(ベース領域の抵抗)を含むN<sup>+</sup>領域18を備える。N<sup>+</sup>領域18を備える各セルは、縦方向のPNPトランジスタを含む。PチャネルMOSFET4は、2つの拡散セルを橋渡しする。PNPトランジスタ34は、P<sup>+</sup>層12で示されるエミッタ、N層10およびN<sup>-</sup>エピタキシャル層14で示されるベースおよびPベース16で示されるコレクタを含む。PNPトランジスタ38は、P<sup>+</sup>層12で示されるエミッタ、N層10およびN<sup>-</sup>エピタキシャル層14で示されるベース、およびP<sup>+</sup>領域20で示されるコレクタを有する。PチャネルMOSFET4は、Pベース16で示される層、P<sup>+</sup>領域20で示されるドレイン、多結晶シリコンゲート24の下にN<sup>-</sup>エピタキシャル層14の領域23で示されるチャネル領域を有する。

【0009】図1~3の従来技術のBRTの操作では、ゲート24に正電圧が印加された場合、NチャネルMOSFET32がオンとなり、図1に示すように、デバイスを通った順方向のサイリスタ電流が流れる。本デバイスは、低い電流レベルにおいてIGBTに似た特性を示す。それらの状況では、ホール電流はPベース領域16を通してエミッタ短絡(カソード)に横方向に流れ、エミッタベース接合に順方向に印加される電圧効果を生み出す。より高い電流レベルにおいては、この電圧効果は、N<sup>+</sup>エミッタ18からの電子の吸入を引き起こすのに十分であり、結果としてサイリスタがラッチアップする。ベース抵抗Rbを限定するエミッタの長さは、デバイスのトリガ電流および維持電流を制御する。一度サイリスタがラッチアップすると、ゲート電圧を変化させることができ、オン状態電流は、低い順方向降下でもサイリスタ領域で流れ続ける。BRTのターンオフは、ゲート24に負バイアスを印加し、N<sup>-</sup>ドリフト層の表面上においてPチャネルMOSFET4をオンにすることによって行われる。ホールは、サイリスタのPベース領域16からカソードに接続された隣接したP<sup>+</sup>領域20にそらされる。これにより、PチャネルMOSFET4は、Pベース領域16とカソードの間にホール電流の流れのための低抵抗パスを形成させる。このことは、ベース抵抗Rbの減少と等価であり、サイリスタの保持電流を動作電流レベルより上げる結果となる。エミッタ、ベース接続の順方向バイアスは減少し、再生成動作を破壊し、



サイリスタをオフにする。一度ターンオフが起こるとアノード電流はドリフト領域からの少数キャリア蓄積電位の移動によって決定される有限の時間で減衰する。前に述べたように、BRTの最大制御電流は、主にターンオフMOSFETチャネルの抵抗により限定される。本発明は、そのチャネル密度を増加させることにより、ターンオフPチャネルMOSFETのオン抵抗を最小にすることを目的とする。これはP<sup>-</sup>領域を備えた多結晶シリコンゲート24の上の一定の領域のPベースをP<sup>+</sup>カソードに接続することにより達成された。更に、特に、図4に本発明の変形されたBRT構造の断面構造図を示す。ここでは、図1の従来構造のBRT構造と同様の要素は、同様の引用番号によって示される。

【0010】図5(B)に示されるように、従来技術のBRTと同様に、本発明の変形されたBRTは、チェッカーボードパターンのN<sup>++</sup>セルおよびP<sup>+</sup>四角形のマルチセルレイアウトを有する。しかしながら、重要なことは、図1〜3の従来技術のBRTと異なり、Pベース領域16はカソード電極28に接続されていないことである。すなわち、本発明は、カソード電極に接続されたPベースの部分を含む環状の領域より、むしろ固まったN<sup>++</sup>領域40(図4および5の実施例に固まった四角形を示す)を有する。本発明では、P<sup>+</sup>ベースは、カソード電極にP<sup>-</sup>領域42のみを通して接続され、該P<sup>-</sup>領域42の抵抗は、図4および5に示したように、MOSゲートにより制御される。このことは、セル寸法の縮小を可能とし、より高いMOSチャネル密度を実現する。ゲート電極への正バイアスは、P<sup>-</sup>領域42を枯渇させ、サイリスタをラッチするための高いベース抵抗を達成する。ターンオフした場合、ゲート電圧は正から負に減少し、P<sup>-</sup>領域42中のホールの蓄積を起す。ホールの反転層は、セルの間のN<sup>-</sup>対角線上領域中にも形成される。このことは、ホールをそらせる低抵抗パスを形成するベース抵抗を減少させ、サイリスタをラッチ状態の外に置く。この構造では、ターンオフPチャネルMOSFETのための低チャネル抵抗は、高い制御性のある電流密度となる。

【0011】本ダイの境界領域においては、より高い電流密度が、サイリスタ構造のオン状態におけるキャリアプラズマの横方向の広がりによりターンオフ中に発生し、このことは、レンデンマンらが、「MCTデバイスの同質のスイッチングへのアプローチ：実験およびシミュレーション」(ISPSBの予行集、66〜70頁、1993年)で述べているMCTと似ている。図6に示したように、本発明のデバイスの端部セルは、好ましくはターンオフ中の電流の溜まりを避けるために、すべてP<sup>+</sup>セルであることが好ましく、これにより、大きなダイサイズの高い制御性のある電流を達成することができる。本発明のデバイスのシミュレーションにより得られたオン状態の電流線を図7に示す。これから電流のほと

んどが、サイリスタ領域を通して流れ、PNP領域を通して流れる電流は少量であることがわかる。オン状態の電流およびホールノードのデバイス中の分布形状を図8(A)および(B)に示す。それらの形状より、全N<sup>-</sup>ドリフト領域は、デバイスの表面から2μmの深さ以下で変形された導電性を有し、全N<sup>-</sup>ドリフト領域は、電流伝導のために特徴的に用いられる。本発明のデバイスは、二重拡散DMOSプロセスを用いて製造することができる。第1のマスクは、デバイスの活性領域の限定のために用いられる。ドーザ量 $1.5 \times 10^{12} \text{ cm}^{-2}$ 、50 KeVのドーザ量のリンのN増強のための注入がその後付加的に行われる。ホトレジストマスクは、そこでP<sup>-</sup>注入領域の限定のために用いられ、これに続いてドーザ量 $5 \times 10^{12} \text{ cm}^{-2}$ 、30 KeVのドーザ量のホウ素の注入が行われる。引き続き、ゲート酸化膜(500 Å)の成長が行われる。続いて、第3のマスクを用いた多結晶シリコンの堆積およびパターニングが行われる。P<sup>+</sup>ベース領域およびP<sup>+</sup>領域は $2 \times 10^{14} \text{ cm}^{-2}$ 、50 KeVのホウ素注入により、多結晶シリコンにセルフアラインで形成される。次のマスクは、N<sup>+</sup>エミッタ領域の限定のために用いられる。続いて、低温酸化膜の形成、および第5のマスクを用いたコンタクトウインドの開口が行われる。金属(アルミニウム)が、続いて堆積され、第6のマスクを用いてパターニングされる。パッシベーション材料が、その後堆積され、第7のマスクを用いてパターニングされる。プロセスの最後の工程は、基板裏面の部分を削り、バックメタルを堆積することからなる。

【0012】本発明は、単純化および作図の容易さのために矩形セル形状に描かれているけれども、BRTや他のパワー半導体デバイスのように、当業者は、本発明を他の多角形で提供することもできる。勿論、上述のように、たとえN<sup>++</sup>エミッタが、全活性領域の単に50%であっても、全N<sup>-</sup>ドリフト領域が、電流伝導に用いられることをデバイスシミュレーションが示している。このことは、N<sup>++</sup>領域がオン状態の電圧効果を増加させることなく、さらに面積を小さくできることを示している。これにより、最大制御電流を増加するために、P<sup>+</sup>セル領域/チャネル密度を増加することができる。米国特許5,008,725号(その詳細を参考文献としてここに添付する)に述べられたレイアウトと類似する六角形セルレイアウトは、6つのP<sup>+</sup>セルに囲まれた各N<sup>++</sup>セルを有し(P<sup>+</sup>セルとN<sup>++</sup>セルの比は3:1)であり、本レイアウトでは矩形セル形状以上にターンオフチャネル密度を増加させることができる。

【0013】図4および5のデバイスにおいて、セルピッチは約8μmに設計され、ポリライン幅は約3μmに設計される。P<sup>+</sup>ベースおよびP<sup>+</sup>領域は1.0〜1.5μmの深さであることが好ましく、N<sup>++</sup>領域は約0.3μmの深さであることが好ましい。

【0014】図9を参照して、図9には、図4および図5のデバイスの横方向に対照なデバイスが示され、その中ではN<sup>-</sup>層114は、複数の間隔を置いたPベース領域111から114であって、チップ表面に分散されたものを有する。P<sup>+</sup>領域115および116はそれぞれP<sup>+</sup>ベース領域111~112および113~114の間に配置され、それぞれP<sup>+</sup>領域117~118、119~120によりそこに接続される。P<sup>+</sup>ベース領域111~114はそれぞれN<sup>+</sup>ソース領域121~124を内包する。多結晶シリコンゲートセグメントは、図のようにゲート酸化膜上に横たわり、Pベース領域111および112中に形成されるチャンネルのためのすべてのベースは、端子G1に接続される。同様に、Pベース領域113および114中に形成されるチャンネルのための多結晶シリコンゲートは、互いにゲートG2に接続される。第1のアルミニウムコンタクト130は、Pベース領域111および112のチャンネル上に横たわり、N<sup>+</sup>領域121および122とP<sup>+</sup>領域115に接続する。コンタクト130は、多結晶シリコンゲート電極から適当な層間層酸化膜により絶縁される。同様に、第2のアルミニウム131は、Pベース領域113および114中に形成されたチャンネル上に配置され、N<sup>+</sup>領域123および124とP<sup>+</sup>領域116に接続する。

【0015】図9のデバイスの動作は、図4、5の動作と類似する。従って、端子T1およびT2は、図4の端子KおよびAにそれぞれ対応する。しかし、図9ではホールが例えばPベース領域112からPベース領域113および116に動作中に横方向に移動する。また、ゲートG1およびG2は逆位相の関係にあり、双方向のサイリスタ動作を可能とする。従って、図9のデバイスをオンにするためには、ゲートG1が負になり、ゲートG2が正であることが必要である。デバイスをオフするためには、G1が正であり、G2が負であることが必要である。従来のBRTおよび本発明の上述の具体例では、エミッタとしてのP<sup>+</sup>ベースとしてのN<sup>-</sup>領域、コレクタとしてのP<sup>+</sup>カソードを含む特有の構造の横方向PNPトランジスタとなっている。この横型PNPトランジスタのためはベース駆動はN<sup>+</sup>エミッタからの電子により行われる。この横型PNPトランジスタは2つの望まない効果を有する。

(1) NPNトランジスタのベース駆動の部分を変えてデバイス中のオン状態電圧効果を増加させ、(2) 拡散セル中のN<sup>-</sup>領域への電荷の多量の注入を引き起こす。N<sup>-</sup>領域の表面における高濃度電荷の存在は、この電荷の枯渇およびMOSゲートを用いた反転Pチャンネルの形成を困難にする。このことはデバイスのターンオフ電流能力を減少させる。横型PNPトランジスタの影響は、図10に示したように、いくつかの領域においてポリゲートから内部の方にN<sup>+</sup>エミッタを持ってくるとにより減少させることができる。そのような構造のレイアウトを

図11に示す。

【0016】PベースがメタルストラップおよびNチャンネルがDMOSを通してオン状態においてさらに高い電位に印加される変形された構造を図12に示す。この構造ではNPNトランジスタは、PNPトランジスタより前にターンオンする。ターンオンは、正のゲート電圧パルスを用いることにより完了する。ゲート124への正電圧は、NチャンネルDMOSをターンオンし、メタルストラップ（プラグ142に接続）およびNチャンネルDMOSを通してPベース116をアノードポテンシャルに接続する。アノード電圧が増加したとき、Pベース116のポテンシャルが増加し、Pベースポテンシャルが0.7Vになった場合、NPNトランジスタがオンとなり、電子をN<sup>-</sup>ドリフト領域114に注入する。これらの電子は、PNPトランジスタのベース駆動を供給し、PNPトランジスタを活性化し、結果としてサイリスタをラッチアップする。注目すべきはこのデバイス構造はMOSゲートの近くのPベース/N<sup>-</sup>ドリフト領域接合が逆バイアスされ、この方向に電荷が注入されないことである。

【0017】図12のデバイスは、負ゲートパルスを供給することによりターンオフすることができ、P<sup>+</sup>ベース116をP<sup>+</sup>カソード120に接続したPチャンネルMOSFETを形成することができる。MOSゲート124の下で過剰電荷の不在により、この構造において反転Pチャンネルの形成がより容易になる。考えうる本構造のレイアウトを図13に示す。本構造の変形およびそのレイアウトを図14および15にそれぞれ示す。本発明は、その特別な具体例との関係において示されたが、多く他の変形（例えば図12に示すようにトレンチゲートの使用）および他の使用例が当業者にとって明らかである。それ故に本発明はこの特別な記述に限定されることなく添付した請求項に基づいて判断されるべきである。

【0018】

【発明の効果】以上の説明から明らかなように、本発明にかかるサイリスタ構造によれば、高い最大制御電流密度、低いラッチ電流が実現できるとともに、良好なプロセス制御性を有し、容易にデバイスの製造を行うことが可能となる。

【図面の簡単な説明】

【図1】 図2の1-1切断面の沿った断面図であり、従来技術のBRTデバイスを示す。

【図2】 従来技術のBRTのセル状レイアウトを示す図1の上面の断面図である。

【図3】 図1に示す従来のBRTデバイスの等価回路ダイヤグラムを示す。

【図4】 (A) 本発明に従って形成された変形BRT構造の3次元図を示す。

(B) 図5の4-4切断面に沿った断面図であり、N<sup>+</sup>セルおよびP<sup>+</sup>セルの間をつなぐP<sup>+</sup>領域を備えた本発



\*【図11】、図10の構造の好ましいレイアウトを示す。

【図12】 本発明の他の具体例のデバイス構造を示す。

【図13】 図12の構造の好ましいレイアウトを示す。

【図14】 更に本発明の他の好ましいデバイス構造を示す。

【図15】 図14の構造の好ましいレイアウトを示す。

【図16】 新しいデバイス構造のトレンチゲートの具体例を示す。

【符号の説明】

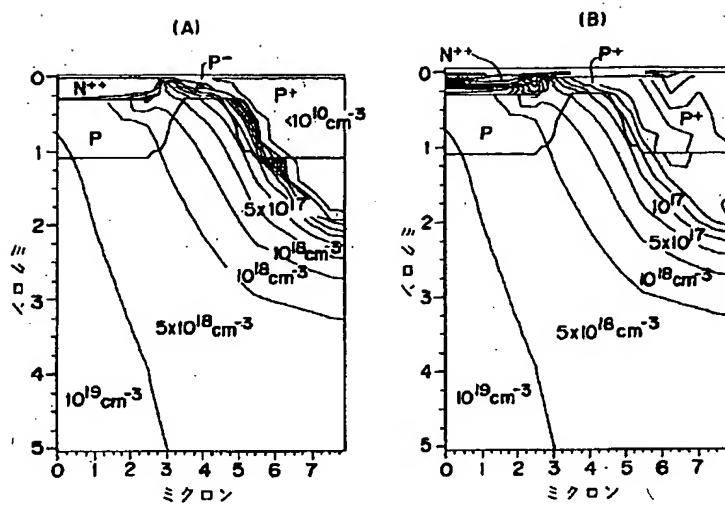
10はN層、12はP<sup>++</sup>層、14はN<sup>-</sup>エピタキシャル層、16はPベース層、20はP<sup>+</sup>領域、24は多結晶シリコン層、26は酸化膜、30は金属層、40はN<sup>++</sup>層を示す。

層を示す。

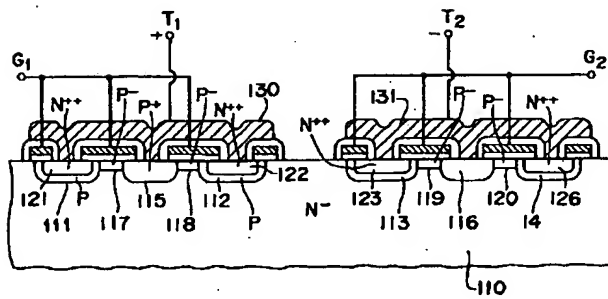
[illegible]



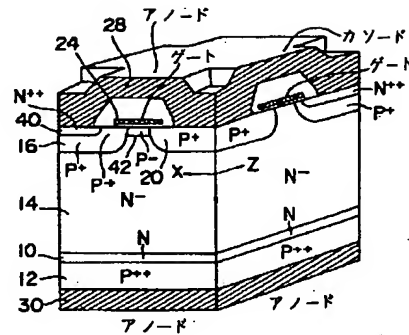
【図8】



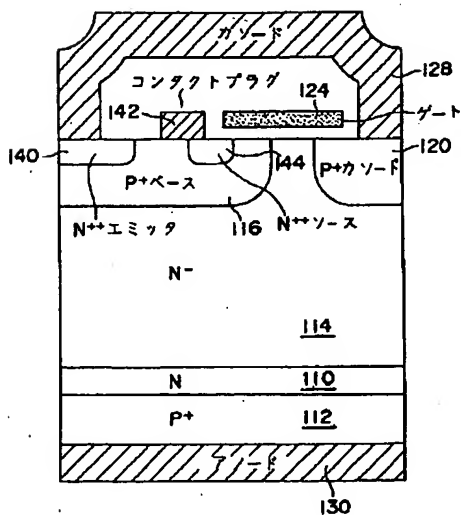
【図9】



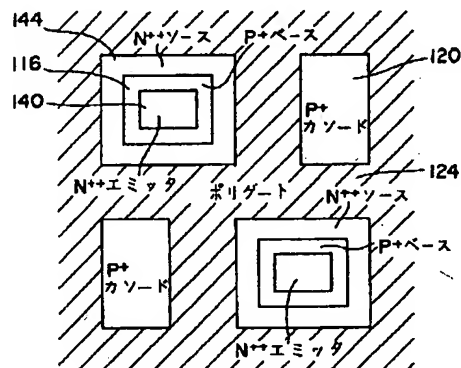
【図10】



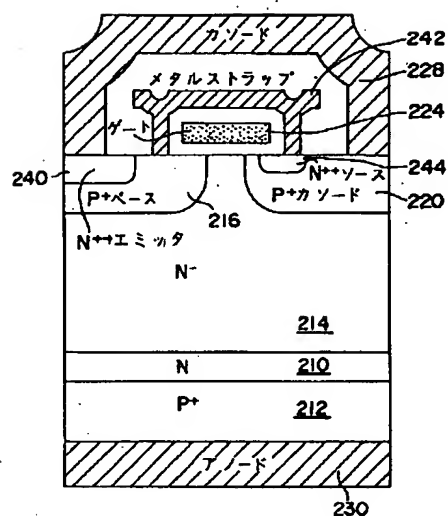
【図12】



【図13】



【图 14】



【圖 16】

